

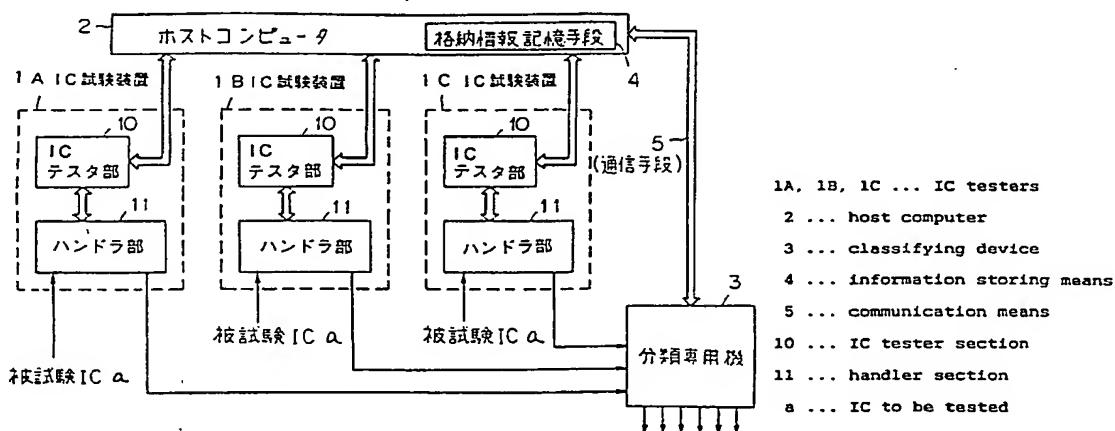
世界知的所有権機関  
国際事務局  
PCT  
特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 G01R 31/26	A1	(11) 国際公開番号 WO97/05496
		(43) 国際公開日 1997年2月13日(13.02.97)
(21) 国際出願番号 PCT/JP96/02130		
(22) 国際出願日 1996年7月29日(29.07.96)		
(30) 優先権データ		
特願平7/192996 特願平8/83430 特願平8/116170	1995年7月28日(28.07.95) 1996年4月5日(05.04.96) 1996年5月10日(10.05.96)	JP JP JP
(71) 出願人(米国を除くすべての指定国について)		
株式会社 アドバンテスト (ADVANTEST CORPORATION)[JP/JP]		
〒179 東京都練馬区旭町一丁目32番1号 Tokyo, (JP)		
(72) 発明者: および		
(75) 発明者/出願人(米国についてのみ)		
根本 真(NEMOTO, Shin)[JP/JP]		
〒338 埼玉県与野市下落合2-9-1-202 Saitama, (JP)		
小林義仁(KOBAYASHI, Yoshihito)[JP/JP]		
〒361 埼玉県行田市桜町1-11-6 Saitama, (JP)		
中村浩人(NAKAMURA, Hiroto)[JP/JP]		
〒347 埼玉県加須市久下1-17-23 Saitama, (JP)		

(54) Title: SEMICONDUCTOR DEVICE TESTER AND SEMICONDUCTOR DEVICE TESTING SYSTEM WITH A PLURALITY OF SEMICONDUCTOR DEVICE TESTERS

(54) 発明の名称 半導体デバイス試験装置及び複数の半導体デバイス試験装置を備えた半導体デバイス試験システム



(57) Abstract

A semiconductor device testing system for efficiently using a plurality of semiconductor device testers. The system is provided with a host computer (2) which manages and controls a plurality of semiconductor device testers (1A, 1B, and 1C) and a classifying device (3). The host computer (2) includes an information storing means (4) which stores device information such as the numbers and test results of tested semiconductor devices. A handler section (11) of each tester transfers the tested semiconductor devices from a test tray to a general purpose tray without classifying the devices or classifying the devices into only two categories. When the devices are transferred, the information about each tested device is stored in the information storing means (4). Upon completing the test of all semiconductor devices, the information about each device stored in the information storing means (4) is sent to the classifying device (3) and the device (3) classifies the tested devices.

(57) 要約

複数台の半導体デバイス試験装置効率よく運用することができる半導体デバイス試験システムを提供する。複数台の半導体デバイス試験装置 1 A、1 B、1 C を管理、制御するホストコンピュータ 2 と、分類専用機 3 を設け、また、試験済み半導体デバイスに付された番号や試験結果等のデバイス格納情報を記憶する格納情報記憶手段 4 をホストコンピュータ 2 に設ける。各試験装置のハンドラ部 1 においては試験済みデバイスを分類せずに、或いは 2 つのカテゴリのみに分類して、テストトレーから汎用トレーに転送し、この転送時に各デバイスの格納情報を上記格納情報記憶手段に記憶する。全ての試験が終了した後、格納情報記憶手段に記憶された各デバイスの格納情報を分類専用機に送り、この分類専用機により試験済みデバイスの分類を行う。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LR	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LS	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LT	レソトニア	SD	スードン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LU	ルクセンブルグ	SG	スウェーデン
BB	ベルベドス	GAB	ガボン	LV	リトヴィア	SI	シンガポール
BE	ベルギー	GB	イギリス	MC	モナコ	SK	スロヴェニア
BF	ブルギナ・ファソ	GE	グルジア	MD	モルドバ共和国	SN	スロバキア
BG	ブルガリア	GN	ギニア	MG	マダガスカル	SZ	セネガル
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラ	TD	スウェーデン
BR	ブラジル	HU	ハンガリー	ML	マリ	TG	チャド
BY	ベラルーシ	IE	アイルランド	MN	マリア共和国	TJ	トジゴ
CA	カナダ	IL	イスラエル	MR	モンゴル	TM	タジキスタン
CF	中央アフリカ共和国	IS	イスランド	MW	モーリタニア	TR	トルコメニスタン
CG	コンゴ	IT	イタリア	MW	モーリシャス	TT	トリニダード・トバゴ
CH	スイス	JP	日本	MX	マラウイ	UA	ウクライナ
CI	コート・ジボアール	KE	ケニア	NE	メキシコ	UG	ウガンダ
CM	カメルーン	KG	キルギスタン	NL	ニジニノヴゴロド	US	アメリカ合衆国
CN	中国	KP	朝鮮民主主義人民共和国	NO	オランダ	UZ	ウズベキスタン
CU	キューバ	KR	大韓民国	NZ	ニュージーランド	VN	ベトナム
CZ	チェコ共和国	KZ	カザフスタン				

## 明 細 書

半導体デバイス試験装置及び複数の半導体デバイス試験装置を備えた  
半導体デバイス試験システム技術分野

この発明は、半導体デバイス、特にその代表例である半導体集積回路素子（以下、ICと称す）を試験するのに好適な半導体デバイス試験装置に関する。さらに詳しく言うと、この発明は、半導体デバイスを試験するために搬送し、テスト部において半導体デバイスをテストヘッド（試験用の各種の電気信号を供給及び受信する試験装置の部分）に電気的に接触させて半導体デバイスの電気的試験を行い、試験後に半導体デバイスをテスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを良品、不良品に仕分けを行なう形式の半導体デバイス試験装置、並びにこのような半導体デバイス試験装置を複数台備えた半導体デバイス試験システムに関する。

背景技術

試験すべき半導体デバイス（一般にDUTと呼ばれる）に所定のパターンの試験信号を印加してその電気的特性を測定する半導体デバイス試験装置（一般にICテスタと呼ばれる）には、半導体デバイスをテスト部に搬送し、このテスト部において半導体デバイスを試験装置のテストヘッドに電気的に接触させ、試験後に試験済み半導体デバイスをテスト部から搬出し、試験結果に基づいて試験済み半導体デバイスを良品、不良品に仕分けする半導体デバイス搬送処理装置（一般にハンドラと呼ばれる）が装着されているものが多い。本明細書ではこの種のハンドラが装着されている試験装置を半導体デバイス試験装置と称する。なお、以下においては、説明を簡単にするために、半導体デバイスの代表例であるICを例に取って説明する。

ICは集積度の向上と共に端子数が多くなり、ICを傾斜した搬送路で自重により滑走させて試験を行う自然落下式のハンドラを装着したIC試験装置では端

子数の多い IC を試験することは困難になっている。このため、最近では IC を真空吸着ヘッドで吸着し、X-Y 搬送手段を使用して吸着した IC を任意の場所に搬送することができる水平搬送方式と呼ばれているハンドラが IC 試験装置に装着されている。

水平搬送方式のハンドラを装着した IC 試験装置として、従来より次の 2 つの形式のものが実用に供されている。

(1) 多数個の IC を平面状に載置したトレーを IC 試験装置の所定位置に置き、この IC を載置したトレーから真空吸着ヘッドで所定数の IC を吸着し、これら吸着した IC を X-Y 搬送手段を使用して予熱部→テスト部へと順次搬送して試験を行い、試験終了後、試験済み IC を X-Y 搬送手段を使用して良品及び不良品に仕分けしながらトレーに戻す形式のもの、

(2) ユーザが IC 試験装置の外部で IC を運搬したり、所定の場所に格納したりするのに使用される汎用トレー（カストマトレー）に多数個の IC を平面状に載置し、この IC を載置した汎用トレーを IC 試験装置のローダ部に配置し、このローダ部で汎用トレーから高／低温に耐えるテストトレーに IC を転送し、このテストトレーを恒温槽を経由してテスト部に搬送し、このテスト部でテストトレーに IC を搭載したままテストヘッドに IC を電気的に接触させて試験を実施し、試験終了後、テストトレーを除熱槽を経由してアンローダ部に搬出し、このアンローダ部で試験済み IC をテストトレーから良品、不良品に分類しながら汎用トレーに転送する形式のもの、

である。

前者の形式（1）のハンドラを装着した IC 試験装置は、一度に試験できる IC の個数が 2 ~ 4 個程度に制限されるため処理速度が遅く、時間がかかる。つまり、高速処理に適していない。後者の形式（2）のハンドラを装着した IC 試験装置は、IC をテストトレーに搭載した状態でテスト部において試験装置のテストヘッドに接触させることができるので、一度に 16 個、32 個、或いは 64 個等の多数個の IC を試験することができる。従って、現在は後者の形式（2）のハンドラを装着した IC 試験装置が主流になりつつある。

まず、図 4 及び図 5 を参照して後者の形式（2）のハンドラを装着した従来の

IC試験装置の概略の構成を説明する。図示のIC試験装置は、テストトレーツトに搭載されて搬送されて来た例えば半導体メモリのようなICを試験するチャンバ部100と、これから試験を行なうIC(被試験IC)や、試験済みのICを分類して格納するIC格納部200と、ユーザが予め汎用トレー(カストマトレーパー)KSTに載置した被試験ICを、高/低温に耐えるテストトレーツトに転送、載置し直すローダ部300と、チャンバ部100での試験が終了し、テストトレーツトに載置されて搬送されて来た試験済みのICをテストトレーツトから汎用トレーKSTに転送、載置し直すアンローダ部400とを備えている。このアンローダ部400は、一般には、試験結果のデータに基づいて試験済みICをカテゴリごとに分類して対応する汎用トレーに搭載するように構成されている。

チャンバ部100は、テストトレーツトに積み込まれた被試験ICに目的とする高温又は低温の温度ストレスを与える恒温槽101と、この恒温槽101で温度ストレスが与えられた状態にあるICの電気的試験を実行するテストチャンバ102と、テストチャンバ102での試験が終了したICから、恒温槽101で与えられた温度ストレスを除去する除熱槽103によって構成されている。テストチャンバ102はその内部にIC試験装置のテストヘッド104を含み、このテストヘッド104に電気的に接触させられた被試験ICに対してこのテストヘッド104を通じて試験用の各種の電気信号を供給するとともに被試験ICからの応答信号を受信して試験装置へ送る。

テストトレーツトはローダ部300→チャンバ部100の恒温槽101→チャンバ部100のテストチャンバ102→チャンバ部100の除熱槽103→アンローダ部400→ローダ部300と循環移動される。恒温槽101及び除熱槽103はテストチャンバ102よりも背が高く、従って、上方に突出した部分を有する。これら恒温槽101と除熱槽103の上方に突出した上部間に、図5に示すように基板105が差し渡され、この基板105上にテストトレーバン送手段108が装着され、このテストトレーバン送手段108によってテストトレーツトが、除熱槽103側から恒温槽101に向って移送される。

除熱槽103は、恒温槽101で被試験ICに高温の温度ストレスを印加した

場合には、送風により冷却して室温に戻してからアンローダ部400に搬出する。また、恒温槽101で被試験ICに、例えば-30℃程度の低温の温度ストレスを印加した場合には、温風或いはヒータ等で加熱し、結露が生じない程度の温度に戻してからアンローダ部400に搬出する。

ローダ部300で被試験ICが積み込まれたテストトレーTSTは、ローダ部300からチャンバ部100の恒温槽101に搬送される。恒温槽101には垂直搬送手段が装着されており、この垂直搬送手段は複数枚（例えば9枚）のテストトレーTSTを積層状態で支持できるように構成されている。図示の例ではローダ部300からのテストトレーが一番上に支持され、一番下のテストトレーがテストチャンバ102へ搬出される。垂直搬送手段の垂直方向下方への移動によって一番上のテストトレーが一番下まで順次移動される間に、また、テストチャンバ102が空くまで待機する間に、被試験ICは高温又は低温の所定の温度ストレスを与えられる。テストチャンバ102にはその中央にテストヘッド104が配置されており、恒温槽101から一枚づつ搬出されたテストトレーTSTがテストヘッド104の上に運ばれ、後述するように、そのテストトレーに搭載された被試験ICの内の所定数の被試験ICがテストヘッド104に取り付けられたICソケット（図示せず）と電気的に接続される。テストヘッド104を通じて一枚のテストトレー上の全ての被試験ICの試験が終了すると、テストトレーTSTは除熱槽103へ搬送されて試験済みICの温度ストレスが除去され、ICの温度を室温に戻し、アンローダ部400に排出する。

除熱槽103も上記恒温槽101と同様に垂直搬送手段を備えており、この垂直搬送手段により複数枚（例えば9枚）のテストトレーTSTを積層状態で支持できるように構成されている。図示の例ではテストチャンバ102からのテストトレーが一番下に支持され、一番上のテストトレーがアンローダ部400へ排出される。垂直搬送手段の垂直方向上方への移動によって一番下のテストトレーが一番上まで順次移動される間に、試験済みICは与えられた温度ストレスが除去されて外部温度（室温）に戻される。

アンローダ部400へ排出されたテストトレーTST上の試験済みICはテストトレーから試験結果のカテゴリ毎に分類されて、対応する汎用トレーKSTに

転送、格納される。アンローダ部400で空になったテストトレーTSTはローダ部300に搬送され、ここで汎用トレーKSTから再び被試験ICが転送、載置される。以下、同様の動作を繰り返すことになる。

ローダ部300において汎用トレーKSTからテストトレーTSTにICを転送するIC搬送手段としては、図5に示すように、基板105のローダ部300の上部に、試験装置の前後方向（この方向をY方向とする）に延在するように架設された対向する平行な2本のレール301と、これら2本のレール301間に架設され、Y方向に移動可能にその両端部がこれら2本のレール301に支持された可動アーム302と、この可動アーム302の延在する方向に、従って、試験装置の左右方向（この方向をX方向とする）に移動可能に可動アーム302に支持された可動ヘッド303とによって構成されるX-Y搬送手段304を用いることができる。上記構成によれば、可動ヘッド303は、テストトレーTSTと汎用トレーKSTとの間をY方向に往復移動することができ、かつ可動アーム302に沿ってX方向に移動することができる。

可動ヘッド303の下面にはIC吸着パッドが上下方向に移動可能に装着されており、可動ヘッド303のX-Y方向移動とこの吸着パッドの下方への移動により汎用トレーKSTに載置されたICに吸着パッドが当接し、真空吸引作用によりICを吸着、保持して汎用トレーKSTからテストトレーTSTにICを搬送する。吸着パッドは可動ヘッド303に対して、例えば8本程度装着され、一度に8個のICを汎用トレーKSTからテストトレーTSTに搬送できるように構成されている。

なお、汎用トレーKSTの停止位置とテストトレーTSTの停止位置との間にプリサイサと呼ばれるICの位置修正手段305（図5）が設けられている。この位置修正手段305は比較的深い凹部を有し、この凹部に吸着パッドに吸着されてテストトレーTSTへ搬送されるICをいったん落し込む。凹部の周縁は傾斜面で囲まれており、この傾斜面でICの落下位置が規定される。位置修正手段305によって8個のICの相互の位置を正確に規定した後、これら位置が規定されたICを再び吸着パッドにて吸着し、テストトレーTSTに搬送する。このような位置修正手段305を設ける理由は、汎用トレーKSTではICを保持

する凹部はICの形状よりも比較的大きく形成されており、このため、汎用トレーKSTに格納されているICの位置には大きなバラツキがあり、この状態で吸着パッドにて吸着したICを直接テストトレーTSTに搬送すると、テストトレーTSTに形成されたIC収納凹部に直接落し込むことができないICが存在することになる。このために位置修正手段305を設け、この位置修正手段305でテストトレーTSTに形成されたIC収納凹部の配列精度にICの配列精度を合せるようにしている。

アンローダ部400にはローダ部300に設けられたX-Y搬送手段304と同一構造の搬送手段404が2組設けられ、これらX-Y搬送手段404によってアンローダ部400に搬出されたテストトレーTSTから試験済みのICを汎用トレーKSTに積み替える。各X-Y搬送手段404は、試験装置の前後方向(Y方向)に延在するように架設された対向する平行な2本のレール401と、これら2本のレール401間に架設され、Y方向に移動可能にその両端部がこれら2本のレール401に支持された可動アーム402と、この可動アーム402の延在する方向に、従って、試験装置の左右方向(X方向)に移動可能に可動アーム402に支持された可動ヘッド403とによって構成されている。

図6にテストトレーTSTの一例の構造を示す。テストトレーTSTは方形フレーム12に複数のさん13が平行かつ等間隔に形成されており、これらさん13の両側、及びさん13と対向するフレーム12の辺12a、12bにそれぞれ複数の取付け片14が等間隔で突出形成されている。各さん13の両側の取り付け片14は、一方の側の取り付け片14が反対側の取り付け片14の中間に位置するように形成されており、同様に、フレーム12の辺12a、12bの取り付け片14は対向するさん13の取り付け片14の中間に位置するように形成されている。これら対向するさん13間の空間、及びさん13と対向する辺12a、12bとの間の空間に、それぞれ多数個のICキャリア16が併置状態で収納される。各ICキャリア16は、これら空間において位置がずれている斜めに対向する2つの取付け片14を対角線方向の角部に含む1つの長方形の区画であるキャリア収納部15に収納される。従って、図示の例では各さん13の一方の側に16個の取り付け片14が形成されているから、上記各空間に16個のキャリ

ア収納部15が形成され、16個のICキャリア16が取り付けられる。図示の例では4つの空間があるからICキャリア16は1つのテストトレーテストに16×4個、合計で64個、取付けることができる。各ICキャリア16は2つの取付け片14にファスナ17により取付けられる。

ICキャリア16の外形は同一形状、同一寸法をしており、その中央部にIC素子を収納するIC収容部19が形成されている。このIC収容部19の形状及び寸法は収容するIC素子の形状及び寸法に応じて決められる。IC収容部19はこの例では方形の凹部とされている。IC収容部19の外形はキャリア収納部15の対向する取り付け片間の空間に遊嵌する寸法に選択されており、IC収容部19の両端部には取付け片14上に配置される突出部がそれぞれ設けられている。これら両突出部にはファスナ17が挿通される取付け用の穴21と、位置決め用ピンが挿入される穴22とがそれぞれ形成されている。

ICキャリア16に収納されたIC素子の位置ずれや飛出しを防止するため、例えば図7に示すように一对のラッチ23がICキャリア16に取り付けられている。これらラッチ23はIC収容部19の底面から上方に突出するように一体に形成されており、かつICキャリア16を構成する樹脂材の弾性により、これらラッチ23はそれらの先端部の対向する爪が閉じる方向に弾性バイアスされている。従って、IC素子をIC収容部19に収容する際に、又はIC収容部19から取り出す際に、IC素子を吸着するIC吸着パッド24の両側に配置されたラッチ解放機構25により2つのラッチ23の先端部の間隔を広げた後、ICの収容又は取り出しが行われる。ラッチ解放機構25をラッチ23から離すと、これらラッチ23はその弾性力で元の状態に戻り、収容されたICはラッチ23先端部の爪で抜け止められた状態に保持される。

ICキャリア16は図8に示すようにIC素子のピン18を下面側に露出させた状態でIC素子を保持する。テストヘッド104にはICソケットが取り付けられており、このICソケットのコンタクト26がテストヘッド104の上面から上方へ突出している。この露出したIC素子のピン18をICソケットのコンタクト26に押し付け、IC素子をテストヘッドのICソケットに電気的に接続する。このためにテストヘッド104の上部にはIC素子を下向きに押圧して抑

え付ける圧接子（プッシャー）20が設けられ、この圧接子20が各ICキャリア16に収納されているIC素子を上方から押圧して抑え付け、テストヘッド104に接触させるように構成されている。

テストヘッド104に一度に接続されるIC素子の個数はテストヘッド104に取り付けられたICソケットの個数に依存する。例えば図9に示すようにIC素子が4行×16列に配列されている場合には、各行の4列置きのIC素子（斜線で指示する素子）を一度に全部試験できるように、4×4の16個のICソケットがテストヘッド104に取り付けられる。つまり、1回目の試験は各行の1、5、9、13列にそれぞれ配置された16個のIC素子に対して実施され、2回目の試験はテストトレーTSTをIC素子1列分移動させて各行の2、6、10、14列に配置された16個のIC素子に対して実施され、以下同様にして4回の試験を実施することにより1つのテストトレーに載置された全てのIC素子の試験が終了する。試験の結果は、各ICに割り当てられたシリアル番号（1ロット内のシリアル番号）、テストトレーTSTに付された識別番号、及びテストトレーTSTのIC収容部に割り当てられた番号によってアドレスを決定し、メモリの対応するアドレスに記憶する。ここで、テストヘッド104に32個のICソケットを取り付けることができる場合には2回の試験を実施するだけで4行16列に配列された64個のすべてのIC素子を試験することができる。なお、テストチャンバ102において被試験ICをテストトレーからテストヘッド104のソケットに転送して試験を行い、試験終了後、再びソケットからテストトレーに転送して搬送する形式のハンドラもある。

IC格納部200には被試験ICを格納した汎用トレーKSTを収容する被試験ICストッカ201と、試験の結果に応じてカテゴリ毎に分類された試験済みICを格納した汎用トレーKSTを収容する試験済みICストッカ202とが設けられている。これら被試験ICストッカ201及び試験済みICストッカ202は汎用トレーを積層状態で収容できるように構成されている。被試験ICストッカ201に積層状態で収容された被試験ICを格納した汎用トレーKSTは上部のトレーから順次ローダ部300に運ばれ、ローダ部300において汎用トレーKSTからローダ部300に停止しているテストトレーTSTに被試験IC

を積み替える。

被試験ICストッカ201及び試験済みICストッカ202は同じ形状及び構造を有するものでよく、その1つを図10に示すように、上面が開放され、かつ底面に開口を有するトレー支持枠203と、このトレー支持枠203の下部に配置され、トレー支持枠203底面の開口を通じてトレー支持枠203内を上下方向に昇降可能なエレベータ204とを具備している。トレー支持枠203内には汎用トレーKSTが複数枚積み重ねられて収納、支持され、この積み重ねられた汎用トレーKSTがトレー支持枠203の底面から侵入するエレベータ204によって上下方向に移動させられる。

図4及び図5に示す例では、試験済みICストッカ202として8個のストッカSTK-1、STK-2、…、STK-8を用意し、試験結果に応じて最大8つのカテゴリに分類して格納できるように構成されている。これは、試験済みICを良品と不良品の別の外に、良品の中でも動作速度が高速のもの、中速のもの、低速のもの、或いは不良品の中でも再試験が必要なもの等に仕分けすることがあるからである。仕分け可能なカテゴリの最大が8種類としても、図示の例ではアンローダ部400には4枚の汎用トレーKSTしか配置することができない。このため、アンローダ部400に配置されている汎用トレーKSTに割り当てられたカテゴリ以外のカテゴリに分類される試験済みIC素子が発生した場合には、アンローダ部400から1枚の汎用トレーKSTをIC格納部200に戻し、これに代えて新たに発生したカテゴリのIC素子を格納すべき汎用トレーKSTをIC格納部200からアンローダ部400へ転送し、そのIC素子を格納するという手順を取っている。

図5に示すように、被試験ICストッカ201及び試験済みICストッカ202の上部には基板105との間において被試験ICストッカ201と試験済みICストッカ202の配列方向（試験装置の左右方向）の全範囲にわたって移動可能なトレー搬送手段205が設けられている。このトレー搬送手段205はその下面に汎用トレーKSTを把持する把持具を備えている。被試験ICストッカ201の上部にトレー搬送手段205を移動させ、その状態でエレベータ204を駆動させ、ストッカ201内に積み重ねられた汎用トレーKSTを上昇させ

る。上昇して来た汎用トレーKSTの最上段のトレーをトレー搬送手段205の把持具で把持する。トレー搬送手段205に被試験ICを格納している最上段の汎用トレーKSTを引き渡すと、エレベータ204は下降し、元の位置に戻る。トレー搬送手段205は水平方向に移動し、ローダ部300の位置で停止する。この位置でトレー搬送手段205は把持具から汎用トレーを外し、僅か下方に位置するトレー受け（図示せず）に汎用トレーKSTを降ろす。トレー受けに汎用トレーKSTを降ろしたトレー搬送手段205はローダ部300以外の位置に移動する。この状態で汎用トレーKSTが載置されているトレー受けの下側からエレベータ204が上昇し、このトレー受けを上方へ上昇させる。従って、被試験ICを搭載している汎用トレーKSTも上方に上昇させられ、基板105に形成された窓106に汎用トレーKSTが露出した状態に保持される。

アンローダ部400の上部の基板105にも同様の窓106が2つ形成されており、これら窓106から空の汎用トレーが露出した状態に保持されている。各窓106は、この例では、2つの汎用トレーが露出する寸法を有しており、従って、アンローダ部400の2つの窓106からは4つの空の汎用トレーが露出している。これら空の汎用トレーKSTに、各汎用トレーに割り当てたカテゴリに従って試験済みICを分類して格納する。ローダ部300の場合と同様に、各汎用トレーはトレー受け上に載置されており、各トレー受けはエレベータ204によって上下方向に昇降される。1つの汎用トレーが満杯になると、その汎用トレーKSTはエレベータ204によって窓106の位置から降下され、トレー搬送手段205によって自己に割り当てられたカテゴリのトレー格納位置に収納される。なお、図4及び図5に示す206は空の汎用トレーKSTを収容する空トレーストッカを示す。この空トレーストッカ206から空の汎用トレーがトレー搬送手段205、エレベータ204によってアンローダ部400の各窓106の位置に搬送、保持され、試験済みICの格納に供せられる。

上述したように、ICをテストトレーに積み替えてテスト部（チャンバ部）に搬送し、試験を行う上記形式（2）のハンドラを装着したIC試験装置にあっては、一度に試験できるICの個数を多くすることができるので試験に要する時間を短かくすることができる。これに対し、アンローダ部400では一度に8個程

度の IC をテストトレーから汎用トレーに分類しながら転送する作業が行えるだけであるから試験済み IC の転送作業に時間がかかる。しかも、分類しながらの作業となるので、この分類作業に時間がかかる。このため、アンローダ部 400 には X-Y 搬送装置を 2 台設けているが、依然として試験に要する時間よりも仕分けに要する時間の方が長くなってしまうという不都合が生じる。

また、上記形式 (2) のハンドラを装着した IC 試験装置にあっては、アンローダ部 400 で試験済みの IC をテストトレー TST から汎用トレー KST に転送する際に、X-Y 搬送手段 404 はテストトレー TST 上の各 IC キャリア 16 に割り当てたアドレスにより試験済み IC を汎用トレーに転送したことを記憶装置に記憶しており、この記憶に基づいてテストトレー TST 上に転送し忘れた IC が残らないように転送動作を行っているが、極く稀には転送し忘れた IC がテストトレー上に残ることがある。

アンローダ部 400 において IC の取り残しが発生したとすると、テストトレー TST はそのままローダ部 300 へ搬送されるから、ローダ部 300 では残存する試験済み IC の上に新たに被試験 IC を重ねて搭載してしまうことになる。この場合には 2 段重ねされた上段の被試験 IC はテストトレーの面から突出するから、恒温槽 101 の内部で上側に次のテストトレーが積み重ねられるときに、上方に突出した上段の被試験 IC は次のテストトレーが挿入される際に押し出されて落下したり、破損事故を発生したりする不都合が生じる。

IC が恒温槽 101 の内部でテストトレー TST の上から落下するような事故が起きた場合には、恒温槽 101 内の下部に設けられている搬送装置等に落下した IC が干渉し、搬送不能となる事故が起きる恐れがある。また、仮に積み重ねられた被試験 IC がこぼれ落ちることなく試験されてアンローダ部 400 に搬出された場合には、下側の試験済み IC の試験結果により、上側の IC が分類されてしまうため、誤った分類が行われてしまうという不都合も生じる。

### 発明の開示

この発明の第 1 の目的は、アンローダ部におけるテストトレーから汎用トレーへの試験済み IC の転送作業を高速度に実行することができる IC 試験システム

を提供することである。

この発明の第2の目的は、複数台のIC試験装置を備え、多量のICに対してこれらIC試験装置を用いて条件の異なる試験を順次に実施するIC試験システムにおいて、多量のICに対する複数回の試験を可及的に短かい時間で実施すると共に、これらの試験結果に従って行われる分類作業も短時間で行えるようにしたIC試験システムを提供することである。

この発明の第3の目的は、テストトレー上に試験済みICが取り残されてしまう事故を防止することができるIC試験装置を提供することである。

この発明の第4の目的は、ICを搭載したテストトレーからICがこぼれ落ちたことを検出することができるIC試験装置を提供することである。

この発明の第1の面によれば、ローダ部にて被試験ICを汎用トレーからテストトレーに積み替え、この被試験ICを搭載したテストトレーを恒温槽からテスト部へ搬送し、このテスト部でテストトレーに搭載されたICを試験し、試験終了後にテストトレーをアンローダ部へ搬出し、このアンローダ部で試験済みICを汎用トレーに転送するIC試験装置を備えたIC試験システムにおいて、上記汎用トレーに搭載された試験済みICの分類作業を実行する分類専用機を設けるとともに、上記IC試験装置を制御するホストコンピュータ又は上記IC試験装置に格納情報記憶手段を設け、各ICに付したシリアル番号、各汎用トレーに付した識別番号及び汎用トレーの各IC収納部に付した番号で決められる上記格納情報記憶手段のアドレスに、上記汎用トレーの各IC収納部に収納された試験済みICの試験結果及び上記テスト部で接触させられたソケット番号等の格納情報を記憶させ、この格納情報に基づいて上記分類専用機により上記試験済みICの分類作業を行わせるようにしたIC試験システムが提供される。

上記第1の面によるIC試験システムによれば、分類専用機により格納情報記憶手段に記憶させた格納情報をを利用して全ての試験済みICの分類を行うことができる。従って、アンローダ部では分類作業を行なわずに、単にテストトレーから汎用トレーへICを転送するだけでよいから、高速にICを積み替えることができる。特に、分類が多いために、対応するカテゴリの汎用トレーがアンローダ部に配置されていない場合でもそのカテゴリの汎用トレーをアンローダ部に搬送

させる必要がないから、処理速度を高めることができる。

この発明の第2の面によれば、ローダ部にて被試験ICを汎用トレーからテストトレーに積み替え、この被試験ICを搭載したテストトレーを恒温槽からテスト部へ搬送し、このテスト部でテストトレーに搭載されたICを試験し、試験終了後にテストトレーをアンローダ部へ搬出し、このアンローダ部で試験済みICを汎用トレーに転送するIC試験装置を複数台備え、これらIC試験装置における試験条件を互いに異ならせて複数回の試験を実行するIC試験システムにおいて、上記汎用トレーに搭載された試験済みICの分類作業を実行する分類専用機を設けるとともに、上記各IC試験装置を制御するホストコンピュータ又は上記各IC試験装置に格納情報記憶手段を設け、各ICに付したシリアル番号、各汎用トレーに付した識別番号及び汎用トレーの各IC収納部に付した番号で決められる上記格納情報記憶手段のアドレスに、上記汎用トレーの各IC収納部に収納された試験済みICの試験結果及び上記テスト部で接触させられたソケット番号等の格納情報を記憶させ、上記各IC試験装置では試験済みのICを良品と不良品の2つにだけ分類させ、上記格納情報記憶手段に記憶させた格納情報に基づいて上記分類専用機により上記試験済みICの残りの細分類作業を行わせるようにしたIC試験システムが提供される。

上記第2の面によるIC試験システムによれば、アンローダ部での分類作業が2者択一に制限されているので、アンローダ部で全てのカテゴリに分類する場合よりも汎用トレーへの転送作業が高速に行える。これと共に、一度不良と判定されたICは次の試験条件での試験には供給されないから、不良と判定されたICを再度試験するようなことはなくなり、試験時間が短縮できる。従って、ICを高速に試験できるという利点がある。また、格納情報記憶手段に記憶させた情報をを利用して、分類専用機で試験済みICを細かい分類に仕分けするようにしたから、対応するカテゴリの汎用トレーがアンローダ部に配置されていない場合でもそのカテゴリの汎用トレーをアンローダ部に搬送させる必要がなく、よって処理速度を高めることができる。

この発明の第3の面によれば、ローダ部において被試験ICを汎用トレーからテストトレーに積み替えてテスト部へ搬送し、テスト部においてICの試験を行

ない、テスト終了後にアンローダ部に搬出してテストトレーから汎用トレーに試験済み IC を移し換え、空になったテストトレーをアンローダ部からローダ部に送り込み、ローダ部においてこの空のテストトレーに新たな被試験 IC を積み込んで連続的に IC を試験する IC 試験装置において、アンローダ部とローダ部との間に、移動中のテストトレー上に IC が存在するか否かを検出する IC 検出センサを設け、テストトレー上に IC が取り残された状態を検出することができるようとした IC 試験装置が提供される。

また、この発明の第4の面によれば、ローダ部において被試験 IC を汎用トレーからテストトレーに積み替えてテスト部へ搬送し、テスト部において IC の試験を行ない、テスト終了後にアンローダ部に搬出してテストトレーから汎用トレーに試験済み IC を移し換え、空になったテストトレーをアンローダ部からローダ部に送り込み、ローダ部においてこの空のテストトレーに新たな被試験 IC を積み込んで連続的に IC を試験する IC 試験装置において、テスト部からアンローダ部に向かって搬送されるテストトレーの搬送路の途中に、テストトレーに空の IC 収納部が存在するか否かを検出する IC 検出センサを設けた IC 試験装置が提供される。

さらに、この発明の第5の面によれば、ローダ部において被試験 IC を汎用トレーからテストトレーに積み替えてテスト部へ搬送し、テスト部において IC の試験を行ない、テスト終了後にアンローダ部に搬出してテストトレーから汎用トレーに試験済み IC を移し換え、空になったテストトレーをアンローダ部からローダ部に送り込み、ローダ部においてこの空のテストトレーに新たな被試験 IC を積み込んで連続的に IC を試験する IC 試験装置において、ローダ部からテスト部に向かって搬送されるテストトレーの搬送路の途中に、テストトレーの IC 収納部が空になっているか否かを監視する機能を具備した IC 試験装置が提供される。

上記第3の面による IC 試験装置によれば、アンローダ部からローダ部に向って移動中のテストトレー上に IC が取り残されていたとしても、その IC の存在を IC 検出センサによって検出することができるから、テストトレーがローダ部に到達したときに、ローダ部においてその残存する IC をテストトレーから取り

除くことができる。その結果、ICが2段に積み重ねられてしまい、上段のICが恒温槽内で下部に落下する等の事故が発生することがなくなり、安全性の高いIC試験装置を提供することができる。

また、上記第4の面によるIC試験装置によれば、テスト部において、テストトレーからテスト済みのICがこぼれ落ちて無くなってしまっても、テストトレーをテスト部からアンローダ部に搬送している間にICを紛失したテストトレーのIC収納部の位置を検出することができる。よって、アンローダ部ではその検出したIC収納部について分類作業を中止させることができ、分類作業に要する時間を短縮することができる。

さらに、上記第5の面によるIC試験装置によれば、ローダ部からテスト部に向かってテストトレーを搬送している間に、ICがテストトレーから落下したとしても、テストトレーがテスト部に搬送されるまでの間に空になったテストトレーのIC収納部を検出することができる。従って、テスト部ではテストトレーの空のIC収納部に対するテスト動作を中止することができるため、無駄な時間を費やさなくて済み、試験時間が短縮できる。

#### 図面の簡単な説明

図1はこの発明によるIC試験システムの第1の実施例の全体の構成を説明するためのブロック図である。

図2は図1に示したIC試験システムにおいて使用できる複数枚の汎用トレーを1組として持ち運びすることができる容器の一例を示す概略斜視図である。

図3はこの発明によるIC試験システムの第2の実施例の全体の構成を説明するためのブロック図である。

図4は従来のIC試験装置の一例を、チャンバ部を斜視図的に示す概略平面図である。

図5は図4に示したIC試験装置の概略斜視図である。

図6はIC試験装置に使用されるテストトレーの一例の構造を説明するための分解斜視図である。

図7は図6に示したテストトレー内のICの格納状況を説明するための概略斜

視図である。

図8は図6に示したテストトレーに搭載された被試験ICとテストヘッドとの電気的接続状態を説明するための拡大断面図である。

図9はテストトレーに搭載された被試験ICの試験の順序を説明するための平面図である。

図10はIC試験装置に使用される汎用トレーを収納するストッカの構造を説明するための斜視図である。

図11はこの発明によるIC試験装置の一実施例の主要部の構成を説明するための概略斜視図である。

図12は図11の概略断面図である。

図13は図11に示したIC試験装置の一部分を取り出して示す拡大斜視図である。

#### 発明を実施するための最良の形態

図1にこの発明によるIC試験システムの第1の実施例を示す。このIC試験システムは3台のIC試験装置1A、1B、及び1Cを備えている。各IC試験装置1A、1B、1Cは同じ構成を有し、被試験ICに所定のパターンの試験信号を印加してその電気的特性を測定するIC試験装置の電気的な部分、つまり、ICテスタ部10（図5の主として下側の基台部分）と、ハンドラ部11（図5の主として上側の機構部分）とによって構成されている。各IC試験装置のICテスタ部10はホストコンピュータ2の管理下に置かれており、このホストコンピュータ2によって制御される。また、試験済みのICの分類作業を行う分類専用機3が設けられている。なお、一般には1台のICテスタ部10に対して2台のハンドラ部11を組み込んで1つのIC試験装置として運用する場合が多い。図示しないけれど、この実施例においても各IC試験装置にはハンドラ部11が2台組み込まれている。

各IC試験装置1A、1B、1Cのハンドラ部11は、図4乃至図10を参照して前述した従来のIC試験装置と同様に、テストトレーに搭載されて搬送されて来たICを試験するチャンバ部と、被試験ICや試験済みのICを分類して格

納する I C 格納部と、ユーザが予め汎用トレーに載置した被試験 I C を、高／低温に耐えるテストトレーに転送、載置し直すローダ部と、チャンバ部での試験が終了し、テストトレーに載置されて搬送されて来た試験済みの I C をテストトレーから汎用トレーに転送、載置し直すアンローダ部とを備えている。また、チャンバ部は、テストトレーに積み込まれた被試験 I C に目的とする高温又は低温の温度ストレスを与える恒温槽と、この恒温槽で温度ストレスが与えられた状態にある I C を、 I C テスタ部 10 のテストヘッドに電気的に接触させて試験を実行するテストチャンバと、テストチャンバでの試験が終了した I C から、恒温槽で与えられた温度ストレスを除去する除熱槽とによって構成されている。

この実施例においては、各 I C 試験装置 1A、1B、1C は同じ試験条件のもとで I C を試験し、各ハンドラ部 11 のアンローダ部において試験済みの I C をテストトレーから全く分類作業を行わずに汎用トレーに転送し、複数回の試験が全て終了した後で、試験済み I C を分類専用機 3 に運び、この分類専用機 3 にて試験済み I C の分類作業を一括して行うことを特徴とするものである。

このため、この実施例ではホストコンピュータ 2 に格納情報記憶手段 4 が設けられている。この格納情報記憶手段 4 には I C の試験結果を全て記憶させる。これら試験結果は、各ハンドラ部 11 のアンローダ部において試験済みの I C をテストトレーから汎用トレーに転送する毎に、各 I C に割り当てられたシリアル番号、各汎用トレーに付された識別番号、汎用トレーの各 I C 収納部に対応して割り付けられた番号等によって記憶すべき格納情報記憶手段 4 のアドレスを決め、そのアドレスに記憶させる。試験結果としては試験の条件、良品の中の例えば高速、中速、低速の動作速度の分類、不良品の中の再テストの要否、試験時に接触したテストヘッドのソケット番号等を記憶させる。この記憶させる格納情報は I C テスタ部 10 を経由して例えばコンピュータ間における G P I B 通信ポート或いは R S 2 3 2 C 通信ポート等の通信手段 5 によりホストコンピュータ 2 に伝送し、格納情報記憶手段 4 に記憶させる。

格納情報記憶手段 4 はメモリで構成することができる。格納情報記憶手段 4 に記憶した格納情報は例えば各 I C 試験装置 1A、1B、1C の別にフロッピーディスク等の記憶媒体に記憶させて分類専用機 3 に提供するか、或いは通信手段

5を利用して分類専用機3に転送することができる。

各ハンドラ部11のアンローダ部において分類されずに転送された試験済みのICを搭載した汎用トレーは、例えば図2に示すように内部に複数枚の汎用トレーKSTを水平位置で収容できる棚を設けた箱状の容器27に収容して分類専用機3に運んでもよいし、或いは各ハンドラ部11と分類専用機3との間にトレー搬送装置をそれぞれ架設し、これらトレー搬送装置によって分類専用機3に運んでもよい。容器27は汎用トレーKSTを出し入れするための開閉蓋28を備えている。分類専用機3ではこの分類専用機3に運ばれた汎用トレーKSTから分類専用機3に設けられたIC吸着ヘッドによってICを取り出し、その取り出し位置に対応したアドレスに記憶されている格納情報に従って試験済みICの分類を実行する。

図3はこの発明によるIC試験システムの第2の実施例を示す。この第2の実施例のIC試験システムも上記第1の実施例の試験システムと同様に、3台のIC試験装置1A、1B、及び1Cを備えている。各IC試験装置1A、1B、1Cは同じ構成を有し、被試験ICに所定のパターンの試験信号を印加してその電気的特性を測定するIC試験装置の電気的な部分であるICテスタ部10と、ハンドラ部11とによって構成されている。各IC試験装置のICテスタ部10はホストコンピュータ2の管理下に置かれており、このホストコンピュータ2によって制御される。また、試験済みのICの分類作業を行う分類専用機3が設けられている。なお、この実施例においても各IC試験装置にはハンドラ部11が2台組み込まれている。

各IC試験装置1A、1B、1Cのハンドラ部11は、図4乃至図10を参照して前述した従来のIC試験装置と同様に、テストトレーに搭載されて搬送されて来たICを試験するチャンバ部と、被試験ICや試験済みのICを分類して格納するIC格納部と、ユーザが予め汎用トレーに載置した被試験ICを、高／低温に耐えるテストトレーに転送、載置し直すローダ部と、チャンバ部での試験が終了し、テストトレーに載置されて搬送されて来た試験済みのICをテストトレーから汎用トレーに転送、載置し直すアンローダ部とを備えている。また、チャンバ部は、テストトレーに積み込まれた被試験ICに目的とする高温又は低

温の温度ストレスを与える恒温槽と、この恒温槽で温度ストレスが与えられた状態にあるICを、ICテスタ部10のテストヘッドに電気的に接触させて試験を実行するテストチャンバと、テストチャンバでの試験が終了したICから、恒温槽で与えられた温度ストレスを除去する除熱槽とによって構成されている。

この第2の実施例においては各IC試験装置1A、1B、1Cは互いに異なる試験条件のもとでICを試験する。試験の条件としては例えば被試験ICに与えられる温度の違い或いは動作電圧の違い等が上げられる。また、ホストコンピュータ2に格納情報記憶手段4が設けられている。

まず、IC試験装置1Aで被試験ICを全量試験する。被試験ICは汎用トレーに搭載されてIC試験装置1Aのハンドラ部11に運ばれる。汎用トレーは例えば上述した図2に示すような運搬用の容器27に複数枚積み重ねられて収納され、ハンドラ部11においては容器27の開閉蓋28を開いてハンドラ部11に装着される。汎用トレーKSTは容器27から1枚づつ搬出されてローダ部に送られる。このローダ部において汎用トレーKSTに搭載されているICはテストトレーに転送され、このテストトレーが恒温槽を通じてテストチャンバに送り込まれ、テストチャンバに配置されたICテスタ部10のテストヘッド部にICが電気的に接触させられ、ICの電気的特性が試験される。テストトレーに搭載されているICの全てのテストが終了すると、テストトレーはテストチャンバから搬出され、除熱槽で温度ストレスが除去されてアンローダ部に排出される。

テストトレー上の試験済みICはこのアンローダ部において汎用トレーKSTに移し替えられる。この移し替えを行なう際に、この第2の実施例では、空になった汎用トレーKSTを少なくとも2枚用意し、試験済みICを良品と不良品にのみ分類する。汎用トレーKSTが良品及び不良品で満杯になると、その満杯になった汎用トレーKSTは搬送手段で容器27に戻される。このとき、容器27内において、例えば下段側から不良品を搭載した汎用トレーKSTを格納し、良品を収納した汎用トレーKSTは上段側から格納する。このようにして容器27内で良品と不良品を格納した汎用トレーを仕分けする。

IC試験装置1Aでの試験が終了すると、上述のようにして試験済みICを搭載した汎用トレーKSTを格納した容器27を次のIC試験装置1Bに移す。

IC試験装置1Bでは条件の異なる試験を実行するが、良品の試験済みICを搭載した汎用トレーだけが容器27から取り出されてローダ部に送られ、良品と判定されたICだけを試験する。IC試験装置1Bでの第2回目の試験で不良品が発生した場合には、容器27内に格納されている不良品を搭載した汎用トレー（IC収納部に空きが有るもの）がアンローダ部に搬送され、IC試験装置1Bで不良と判定された試験済みICがテストトレーからこの汎用トレーに転送される。容器27内の不良品を搭載した汎用トレーのIC収納部に空きが無い場合には空の汎用トレーが容器27から或いは空トレーストッカからアンローダ部へ搬送される。

IC試験装置1Bにおいて、IC試験装置1Aで良品と判定された試験済みICが全て試験され、良品と不良品を搭載した汎用トレーが容器27に格納されると、容器27は次のIC試験装置1Cに移される。このIC試験装置1Cでは条件のさらに異なる試験を実行するが、前段のIC試験装置1Bと同様に、良品の試験済みICを搭載した汎用トレーだけが容器27から取り出されてローダ部に送られ、良品と判定されたICだけを試験する。ただし、この最終段のIC試験装置1Cはその試験結果を各汎用トレーのIC毎にホストコンピュータ2に伝送し、ホストコンピュータ2に設けた格納情報記憶手段4に記憶させる。

IC試験装置1Cでの第3回目の試験で不良品が発生した場合には、容器27内に格納されている不良品を搭載した汎用トレー（IC収納部に空きが有るもの）がアンローダ部に搬送され、IC試験装置1Cで不良と判定された試験済みICがテストトレーからこの汎用トレーに転送される。容器27内の不良品を搭載した汎用トレーのIC収納部に空きが無い場合には空の汎用トレーが容器27から或いは空トレーストッカからアンローダ部へ搬送される。

最終のIC試験装置1Cにおいて前の2回の試験で良品と判定されたICが全て試験されると、容器27は最終段のIC試験装置1Cから分類専用機3に移される。分類専用機3ではホストコンピュータ2から送られて来る格納情報に従って容器27内の試験済みICを分類する。この場合、ホストコンピュータ2から送られて来る格納情報は最終段のIC試験装置1Cから送られた試験済みICについての情報のみとなるから、第1回目及び第2回目の試験で不良品と判断され

た試験済み IC の試験結果はホストコンピュータ 2 の格納情報記憶手段 4 に記憶されていない。従って、第1回目及び第2回目の試験で不良品と判断された試験済み IC をさらに細分類したい場合には、分類作業に若干の時間がかかるが、IC 試験装置 1 A 及び 1 B から不良品と判断された試験済み IC の試験結果をホストコンピュータ 2 に伝送して格納情報記憶手段 4 に記憶させ、全ての試験が終了後、ホストコンピュータ 2 からの格納情報に従って容器 2 7 内の不良品の試験済み IC についても分類専用機 3 で分類を行えばよい。

なお、図 1 及び図 3 に示した第1及び第2の実施例では IC 試験装置を 1 A、1 B、1 C の 3 台設けた場合を例示したが、IC 試験装置の台数に制限はない。また、IC 試験装置 1 C と分類専用機 3 の組合せだけでもハンドラ部 1 1 の処理速度を向上させることができる。よって、IC 試験装置 1 C と分類専用機 3 との組合せだけでもこの発明の上記目的を達成することができる。また、第2の実施例の IC 試験システムは従来技術で説明した形式 (1) のハンドラを装着した IC 試験装置に適用しても有効である。

次に、この発明による IC 試験装置の一実施例を図 1 1 に示す。この IC 試験装置は前述した形式 (2) のハンドラを装着したものであり、被試験 IC に所定のパターンの試験信号を印加してその電気的特性を測定する IC 試験装置の電気的な部分である IC テスタ部 (図 5 の主として下側の基台部分) と、ハンドラ部 (図 5 の主として上側の機構部分) とによって構成されている。ハンドラ部は、図 4 乃至図 1 0 を参照して前述した従来の IC 試験装置と同様に、テストトレーに搭載されて搬送されて来た IC を試験するチャンバ部と、被試験 IC や試験済みの IC を分類して格納する IC 格納部と、ユーザが予め汎用トレーに載置した被試験 IC を、高／低温に耐えるテストトレーに転送、載置し直すローダ部と、チャンバ部での試験が終了し、テストトレーに載置されて搬送されて来た試験済みの IC をテストトレーから汎用トレーに転送、載置し直すアンローダ部とを備えている。また、チャンバ部は、テストトレーに積み込まれた被試験 IC に目的とする高温又は低温の温度ストレスを与える恒温槽と、この恒温槽で温度ストレスが与えられた状態にある IC を、IC テスタ部のテストヘッドに電気的に接触させて試験を実行するテストチャンバと、テストチャンバでの試験が終了した

ICから、恒温槽で与えられた温度ストレスを除去する除熱槽とによって構成されている。

図11はこの実施例の要部の構成を説明するためのものであり、上記ハンドラ部のアンローダ部400に停止しているテストトレーTST<sub>1</sub>と、ローダ部300に停止しているテストトレーTST<sub>2</sub>と、アンローダ部400とローダ部300との間に設けられたIC検出センサ500とを示す。このIC検出センサ500はテストトレーTSTに取り付けた各ICキャリア16（図6参照）にICが残されているか否かを検出する動作を行なう。

この実施例ではアンローダ部400とローダ部300との間に光源501と受光器502とによって構成される光透過形のIC検出センサ500を、テストトレーTSTを挟んで対向し、かつ移動方向と直交する方向に複数配置し、テストトレーTST上にICが取り残されているか否かを検出するように構成した場合を示す。

IC検出センサ500はテストトレーTSTに装着したICキャリア16の行数（横列の数）に対応して設ける。つまり、テストトレーTSTの移動方向と直角な方向（縦列方向）に装着されたICキャリア16の配列個数が図示するよう4個（行数が4）であった場合には4個のIC検出センサ500をICキャリア16の縦列方向の配列ピッチで設ければよい。図示の例ではテストトレーの上側に光源501が配置され、テストトレーの下側に受光器502が配置されているが、勿論、これとは逆に配置してもよい。

各ICキャリア16の底板に図12に示すように貫通孔16Aを形成し、この貫通孔16Aを通過する光を受光器502で検出する。各ICキャリア16の底板には貫通孔16A以外にも光源501からの光が通過する開口（ICのピンが露出する開口等）があるから、貫通孔16Aを通過した光のみを検出しなければならない。このために、図13に拡大して示すように、この実施例ではテストトレーTSTを構成する方形フレーム12の進行方向と平行する辺の一方に、テストトレーの進行方向に配列された各ICキャリア16の底板の貫通孔16Aと対応する位置において、反射マーク503Aを付ける。この反射マーク503Aは、その進行方向の長さがテストトレーの進行方向に配列された各ICキャリア

16の底板の貫通孔16Aの径に等しいか或いは若干大きいように選定されている。テストトレーの方形フレーム12はこの実施例では非光反射部材で作られているので、反射マーク503Aの存在しない部分は非反射マーク503Bとなる。よって、反射型の光センサ504をテストトレーの上側に配置し、この光センサ504から投射されて反射マーク503Aで反射されて来た光を検出する。この光センサ504が反射マーク503Aから反射されて来た光を検出している間に、IC検出センサ500が光を検出するか否かによって貫通孔16Aのみを透過する光を検出し、ICの有無を検出するように構成したものである。

上述の実施例ではアンローダ部400からローダ部300に搬送されるテストトレー上にICが取り残されているか否かを検出する事例を説明したが、IC検出センサ500を、例えばローダ部300からテストヘッド104に至る経路の途中の部分及びテストヘッド104からアンローダ部400に至る経路の途中の部分にも設け、テストトレーTSTがローダ部300からテストヘッド104に搬送されている間にテストトレーTSTからICが落下し、空のIC収納部が存在すること、及びテストヘッド104においてテスト中にICがテストトレーTSTからこぼれ落ちて空のIC収納部が存在することを検出するように構成することもできる。

IC検出センサ500は上記位置のいずれか1つに設けてもIC試験装置の信頼性を高めることができるが、IC検出センサ500を、アンローダ部400とローダ部との間及びテストヘッド104とアンローダ部400との間の両位置や、アンローダ部400とローダ部300との間及びローダ部300とテストヘッド104との間の両位置に組み合わせて設けると、より一層IC試験装置の信頼性を高めることができる。勿論、上述した全ての位置にIC検出センサ500を設ければIC試験装置の信頼性は最も高くなる。

なお、反射マーク503Aと非反射マーク503Bとの配置関係を図13に示す状態とは反対にし、反射型光センサ504が反射光を検出しない間に、IC検出センサ500が光を検出するか否かによって貫通孔16Aのみを透過する光を検出し、ICの有無を検出するように構成してもよい。

また、IC検出センサ500としては透過形の光センサだけでなく、金属

(IC内の金属)を検出する近接スイッチ、或はパターン認識機能を持つカメラ等によってIC検出センサ500を構成することもできる。

以上説明したように、この発明の第1の実施例のIC試験システムによれば、ハンドラ部11では分類動作を実行する必要がないから、また、この発明の第2の実施例のIC試験システムによれば、ハンドラ部11では良品と不良品或いはその他の仕分け方法による2つのカテゴリのみの分類動作を実行するだけでよいから、各IC試験装置毎のICの試験に要する時間を相当に短縮することができ、処理を高速化することができる。また、各ハンドラ部11は、第2の実施例でも単に2つのカテゴリの分類動作を実行するだけでよいから、構成を簡素化することができる。よって、ハンドラ部11のコストダウンが可能となる。その上、格納情報記憶手段に記憶させるデータ中に各被試験ICがテスト部で接触したソケットの番号を含めたから、特定のソケットに接触したICに不良が集中して発生した場合には、そのソケットが不良になっていると推測することができる。従って、テスト部におけるソケットの不良を検出できるという利点も得られる。さらに、分類専用機3は分類を行なうだけでよいから安価に製造することができる。よって、全体として安価なIC試験システムを構築できるという利点がある。

また、この発明の第1の実施例のIC試験装置によれば、空になった筈のテストトレーTSTにICが取り残されていることを検出する構成を付加したから、ローダ部300において、取り残されたICの上に、新たにICを積み重ねて搭載してしまうという誤動作が起きることを防止することができる。よって、ICが例えは恒温槽101の内部でこぼれ落ちて下側の搬送装置を破損させてしまうというような事故が起きることを防止することができる。また、重ねて搭載されたICがこぼれ落ちることなく試験されてアンローダ部400に搬出されてしまい、下側のICの試験結果に従って上側のICが分類されてしまうというような誤った分類が生じることを防止することができる。

さらに、この発明の第2の実施例のIC試験装置によれば、テスト部におけるテスト中に或いはテスト部からアンローダ部400にテストトレーが搬送される間に、ICがテストトレーからこぼれ落ちたとしても、そのこぼれ落ちた事象を

検出することができる。よって、ICが存在しないテストトレー上のIC収納部から、記憶装置に記憶した試験結果に従って、ICを仮想的に分類してしまうという誤動作を防止することができ、つまり、ICが存在しないテストトレー上のIC収納部に対する分類動作を中止させることができ、分類作業に要する時間を短縮することができる。

また、この発明の第3の実施例のIC試験装置によれば、ローダ部300からテスト部にテストトレーが搬送される間にICが落下する事故や、ローダ部300でテストトレーに被試験ICを積み込むことができず、ICが積み込まれないままテスト部へ搬送された場合のように、テスト部に運ばれたテストトレーTSTに空のIC収納部が存在しても、この空のIC収納部を検出することができるから、空のIC収納部に対しては試験を中止させることができる。その結果、無駄な試験を行うことができないので、試験時間が短縮でき、信頼性の高いIC試験装置を提供することができる。

なお、以上の説明では半導体デバイスとしてICを例にとって説明したが、IC以外の他の半導体デバイスを試験する試験装置にもこの発明が適用でき、同様の作用効果が得られることは言うまでもない。

## 請求の範囲

1. 試験装置部とハンドラ部とを備えた半導体デバイス試験装置と、格納情報記憶手段と、分類専用機とを含み、ハンドラ部のローダ部において汎用トレーから複数個の被試験半導体デバイスをテストトレーに転送、搭載し、このテストトレーをハンドラ部のテスト部に搬送し、このテスト部に配置された上記試験装置部のテストヘッドに上記テストトレーに搭載された半導体デバイスを電気的に接触させて半導体デバイスの動作をテストし、テスト終了後試験済み半導体デバイスを搭載したテストトレーを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレーの試験済み半導体デバイスを汎用トレーに積み替え、試験済み半導体デバイスを搭載した汎用トレーをハンドラ部から取り出すように構成されている半導体デバイス試験システムにおいて、//

上記アンローダ部においてテストトレーから汎用トレーに試験済み半導体デバイスを積み替える際に、それぞれの半導体デバイスに付された番号、半導体デバイスの試験結果及び上記テスト部で試験に用いられたソケット番号等のそれぞれの半導体デバイスの格納情報を、各汎用トレーの半導体デバイス格納部に各試験済み半導体デバイスを格納する毎に、上記格納情報記憶手段に記憶させ、この記憶された格納情報を上記分類専用機に送給し、上記分類専用機で試験済み半導体デバイスを上記試験結果に従って分類するように構成したことを特徴とする I C 試験システム。

2. 試験装置部とハンドラ部とを備えた半導体デバイス試験装置と、格納情報記憶手段と、分類専用機とを含み、被試験半導体デバイスをハンドラ部のテスト部に搬送し、このテスト部に配置された上記試験装置部のテストヘッドに上記半導体デバイスを電気的に接触させて半導体デバイスの動作をテストし、テスト終了後試験済み半導体デバイスを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記試験済み半導体デバイスをそれらの試験結果に従って分類し、半導体デバイス格納部に格納するように構成された半導体デバイス試験システムにおいて、//

上記アンローダ部では試験済み半導体デバイスを良品と不良品の2種類に分類する動作のみを行ない、上記半導体デバイス格納部に格納するそれぞれの半導体デバイスの試験結果、半導体デバイスに付された番号、上記テスト部で使用されたソケット番号等のそれぞれの半導体デバイスの格納情報を上記格納情報記憶手段に記憶させ、この格納情報記憶手段に記憶された格納情報を上記分類専用機に送給し、この分類専用機において試験済み半導体デバイスを上記試験結果に従ってさらに細かく分類することを特徴とするIC試験システム。

3. 試験装置部とハンドラ部とを備えた半導体デバイス試験装置を複数台備え、各半導体デバイス試験装置は、被試験半導体デバイスをハンドラ部のテスト部に搬送し、このテスト部に配置された上記試験装置部のテストヘッドに上記半導体デバイスを電気的に接触させて半導体デバイスの動作をテストし、テスト終了後試験済み半導体デバイスを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記試験済み半導体デバイスをそれらの試験結果に従って分類し、半導体デバイス格納部に格納するよう構成されており、上記複数台の半導体デバイス試験装置の試験条件を異ならせて、被試験半導体デバイスをこれら半導体デバイス試験装置に順次に送給して異なる条件の試験を繰返すように構成された半導体デバイス試験システムにおいて、

上記各半導体デバイス試験装置の上記アンローダ部では試験済み半導体デバイスを良品と不良品の2種類に分類する動作のみを行ない、良品と判定された半導体デバイスだけを次の半導体デバイス試験装置に送給するようにしたことを特徴とする半導体デバイス試験システム。

4. 上記各半導体デバイス試験装置はさらに、格納情報記憶手段と、分類専用機とを含み、上記半導体デバイス格納部に格納するそれぞれの半導体デバイスの試験結果、半導体デバイスに付された番号、上記テスト部で使用されたソケット番号等のそれぞれの半導体デバイスの格納情報を上記格納情報記憶手段に記憶させ、全ての試験が終了した後、上記格納情報記憶手段に記憶された格納情報を上記分類専用機に送給し、この分類専用機において試験済み半導体デバイスを上記

試験結果に従ってさらに細かく分類することを特徴とする請求の範囲第3項に記載の半導体デバイス試験システム。

5. 試験装置部とハンドラ部とを備え、ハンドラ部のローダ部において汎用トレーから被試験半導体デバイスをテストトレーに転送、搭載し、このテストトレーをハンドラ部のテスト部に搬送して半導体デバイスをテストし、テスト終了後試験済み半導体デバイスを搭載したテストトレーを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレーの試験済み半導体デバイスを汎用トレーに積み替え、空になったテストトレーを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置において、／

上記アンローダ部と上記ローダ部との間のテストトレーの搬送路中に、テストトレー上に半導体デバイスが存在するか否かを監視する半導体デバイス検出センサを設け、この半導体デバイス検出センサによって上記アンローダ部から上記ローダ部に搬送されるテストトレー上に半導体デバイスが取り残されているか否かを検出するようにしたことを特徴とする半導体デバイス試験装置。

6. 試験装置部とハンドラ部とを備え、ハンドラ部のローダ部において汎用トレーから被試験半導体デバイスをテストトレーに転送、搭載し、このテストトレーをハンドラ部のテスト部に搬送して半導体デバイスをテストし、テスト終了後試験済み半導体デバイスを搭載したテストトレーを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレーの試験済み半導体デバイスを汎用トレーに積み替え、空になったテストトレーを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置において、

上記テスト部と上記アンローダ部との間のテストトレーの搬送路中に、テストトレー上に半導体デバイスが存在するか否かを監視する半導体デバイス検出センサを設け、この半導体デバイス検出センサによって上記テスト部から上記アンローダ部に向かって搬送されるテストトレーに、空の半導体デバイス収納部が存

在するか否かを検出するようにしたことを特徴とする半導体デバイス試験装置。

7. 試験装置部とハンドラ部とを備え、ハンドラ部のローダ部において汎用トレーから被試験半導体デバイスをテストトレーに転送、搭載し、このテストトレーをハンドラ部のテスト部に搬送して半導体デバイスをテストし、テスト終了後試験済み半導体デバイスを搭載したテストトレーを上記テスト部からハンドラ部のアンローダ部に搬出し、このアンローダ部において上記テストトレーの試験済み半導体デバイスを汎用トレーに積み替え、空になったテストトレーを上記アンローダ部から上記ローダ部へ搬送して上記動作を繰り返すように構成されている半導体デバイス試験装置において、

上記ローダ部と上記テスト部との間のテストトレーの搬送路中に、テストトレー上に半導体デバイスが存在するか否かを監視する半導体デバイス検出センサを設け、この半導体デバイス検出センサによって上記テスト部から上記アンローダ部に向かって搬送されるテストトレーに、空の半導体デバイス収納部が存在するか否かを検出するようにしたことを特徴とする半導体デバイス試験装置。

8. 上記テスト部と上記アンローダ部との間のテストトレーの搬送路中に、テストトレー上に半導体デバイスが存在するか否かを監視する半導体デバイス検出センサがさらに設けられていることを特徴とする請求の範囲第5項に記載の半導体デバイス試験装置。

9. 上記ローダ部と上記テスト部との間のテストトレーの搬送路中に、テストトレー上に半導体デバイスが存在するか否かを監視する半導体デバイス検出センサがさらに設けられていることを特徴とする請求の範囲第5項に記載の半導体デバイス試験装置。

10. 上記テスト部と上記アンローダ部との間のテストトレーの搬送路中と、上記ローダ部と上記テスト部との間のテストトレーの搬送路中にそれぞれ、テストトレー上に半導体デバイスが存在するか否かを監視する半導体デバイス検出セン

サがさらに設けられていることを特徴とする請求の範囲第5項に記載の半導体デバイス試験装置。

11. 上記半導体デバイス検出センサは、テストトレーの移動方向と直角な方向に配列されたテストトレー上の半導体デバイス収納部の個数分だけ設けられており、かつ透過光を検出する光センサであることを特徴とする請求の範囲第5項乃至第10項のいずれかに記載の半導体デバイス試験装置。

12. 上記半導体デバイス検出センサは、テストトレーの移動方向と直角な方向に配列されたテストトレー上の半導体デバイス収納部の個数分だけ設けられ、さらに反射光検出型の光センサを含み、この反射光検出型光センサによりテストトレーのフレームに設けられた反射マーク又は非反射マークを検出し、この検出した反射マーク又は非反射マークに同期して上記半導体デバイス検出センサから出力される検出信号により半導体デバイスの有無を判定するように構成したことを特徴とする請求の範囲第5項乃至第10項のいずれかに記載の半導体デバイス試験装置。

13. 上記反射マーク又は非反射マークは、テストトレーの進行方向に配列されたテストトレー上の半導体デバイス収納部のそれぞれの中心部分と対応する、テストトレーのフレームの進行方向に平行な一方の辺上の位置に、設けられていることを特徴とする請求の範囲第12項に記載の半導体デバイス試験装置。

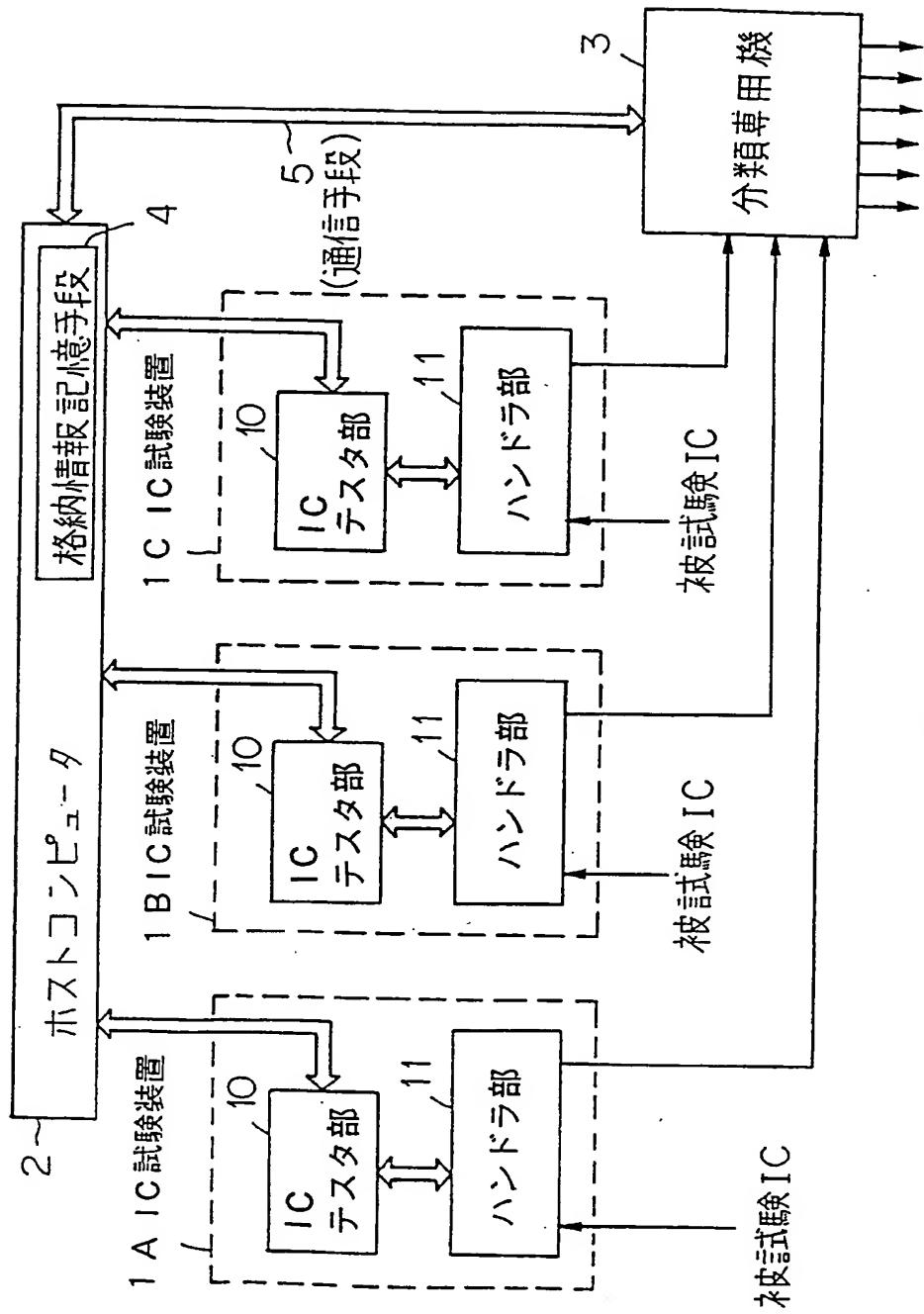
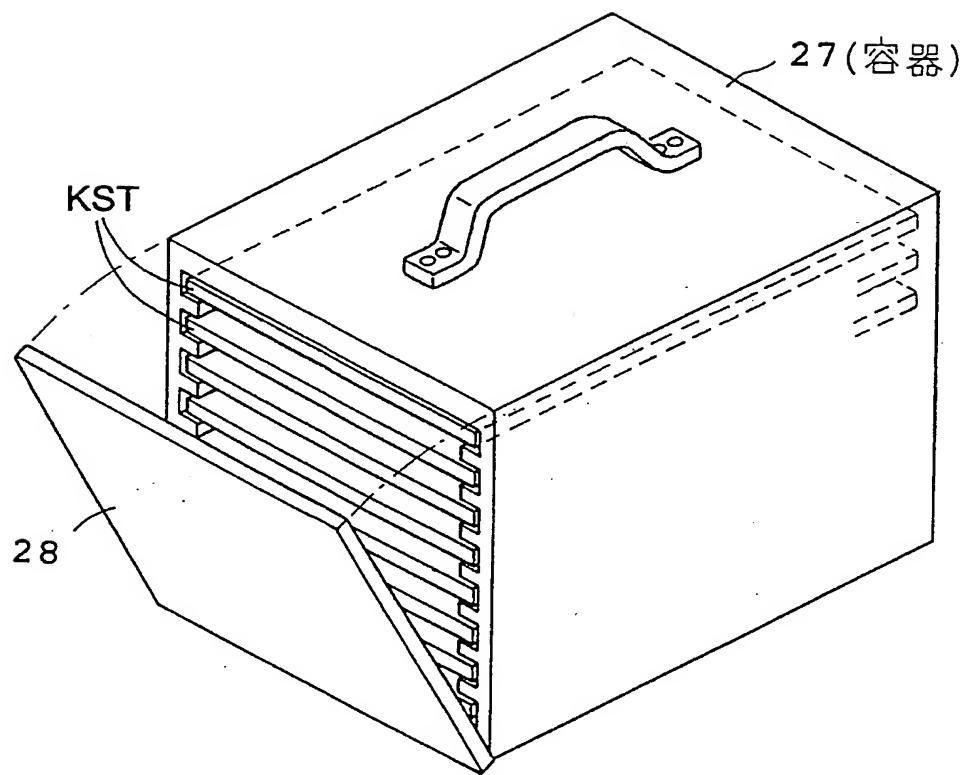


図 1

2/11

図 2



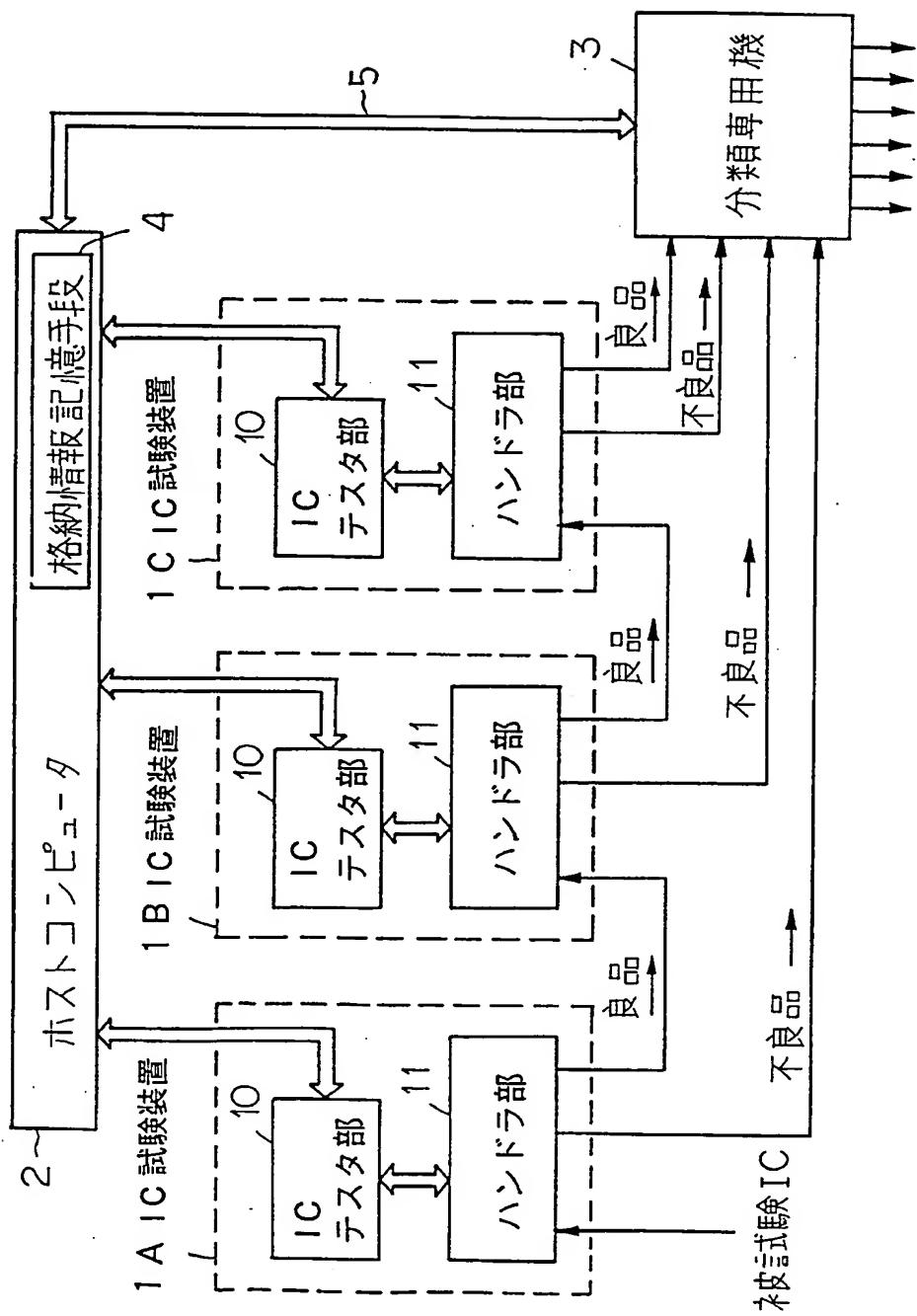
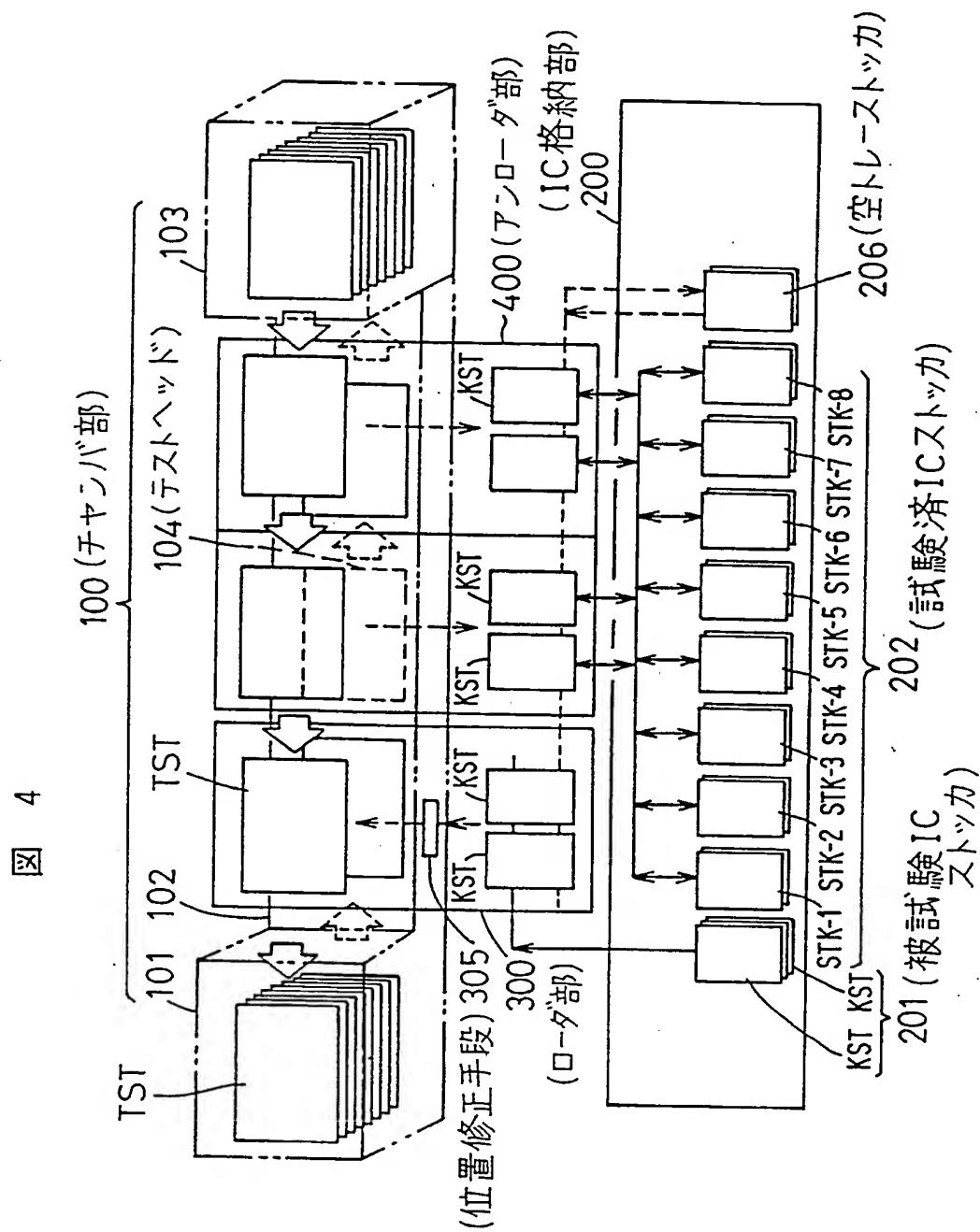
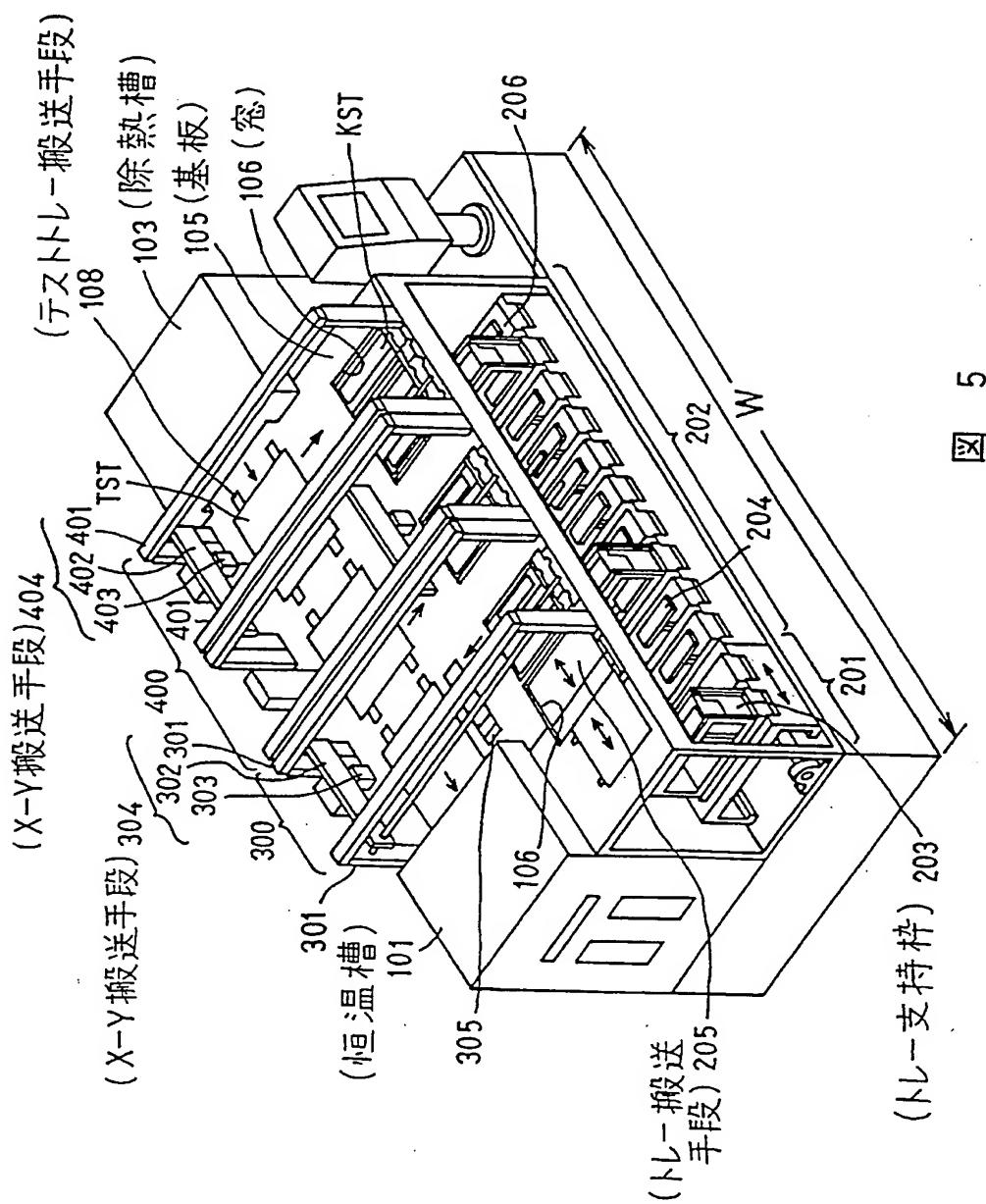
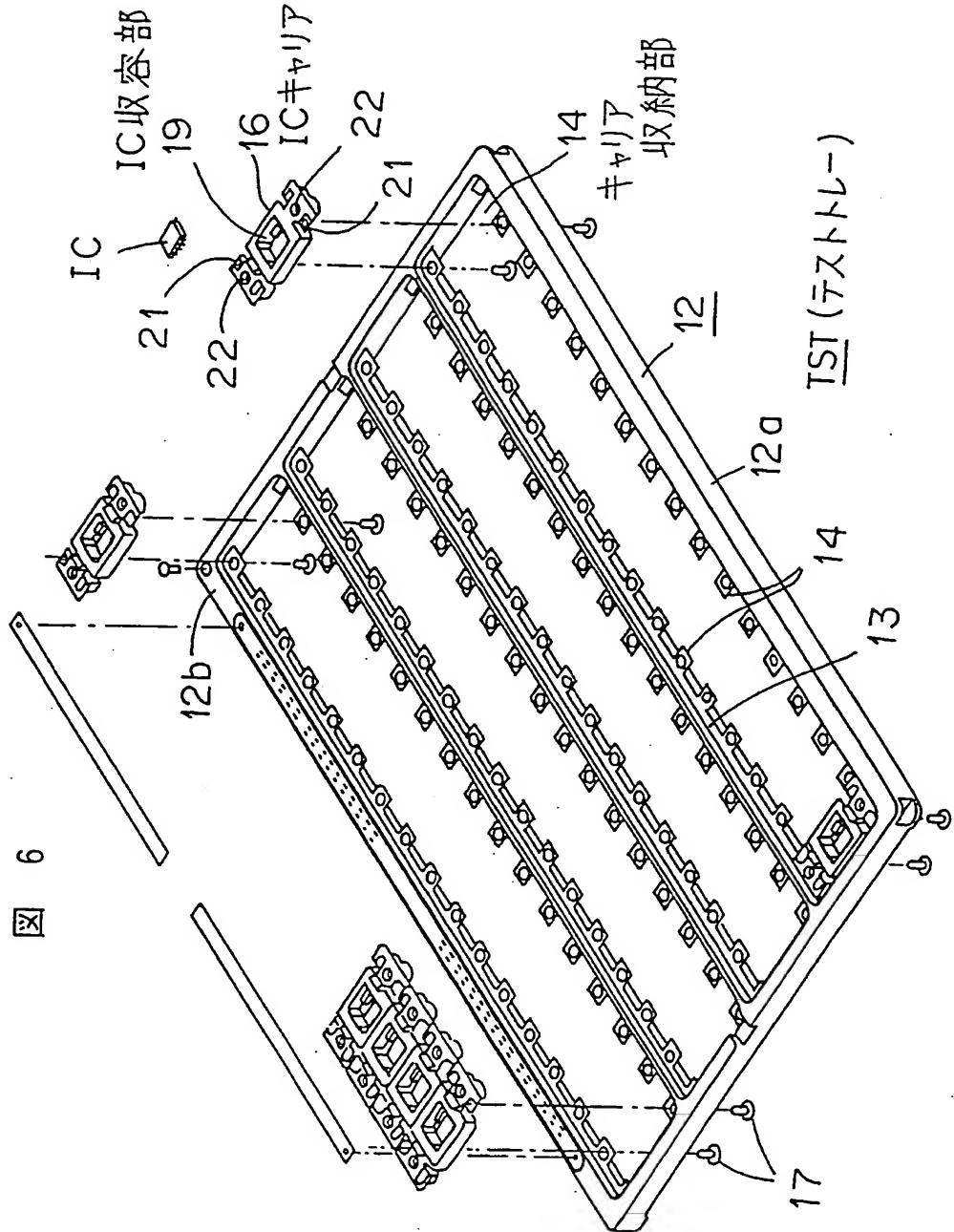


図 3







7/11

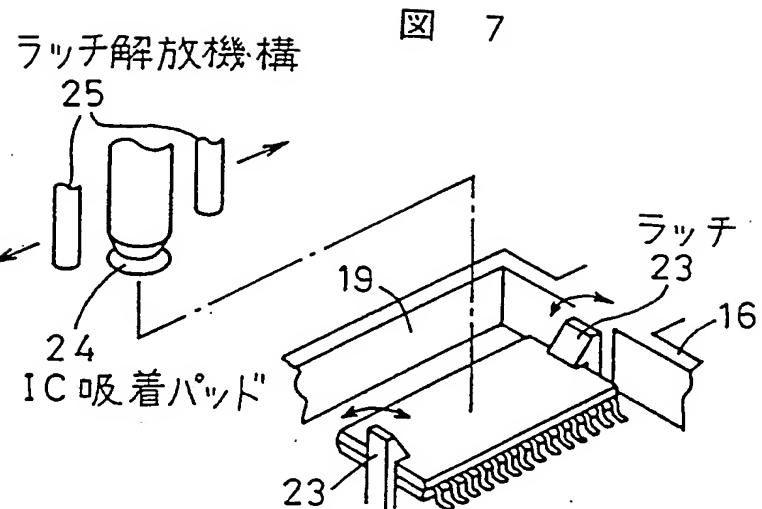
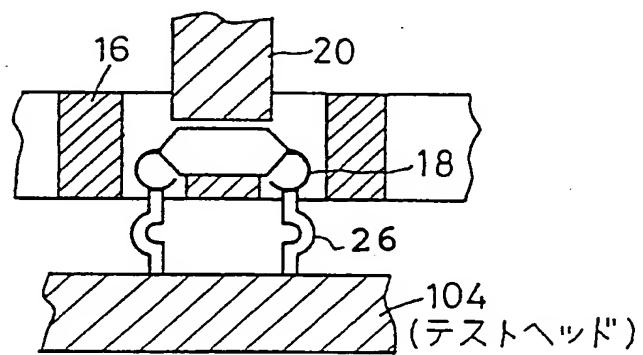


図 8

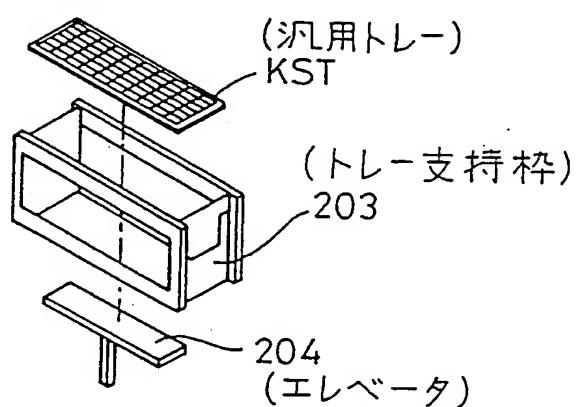


8/11

図 9

TST															
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□
2	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□
3	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□
4	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□

図 10



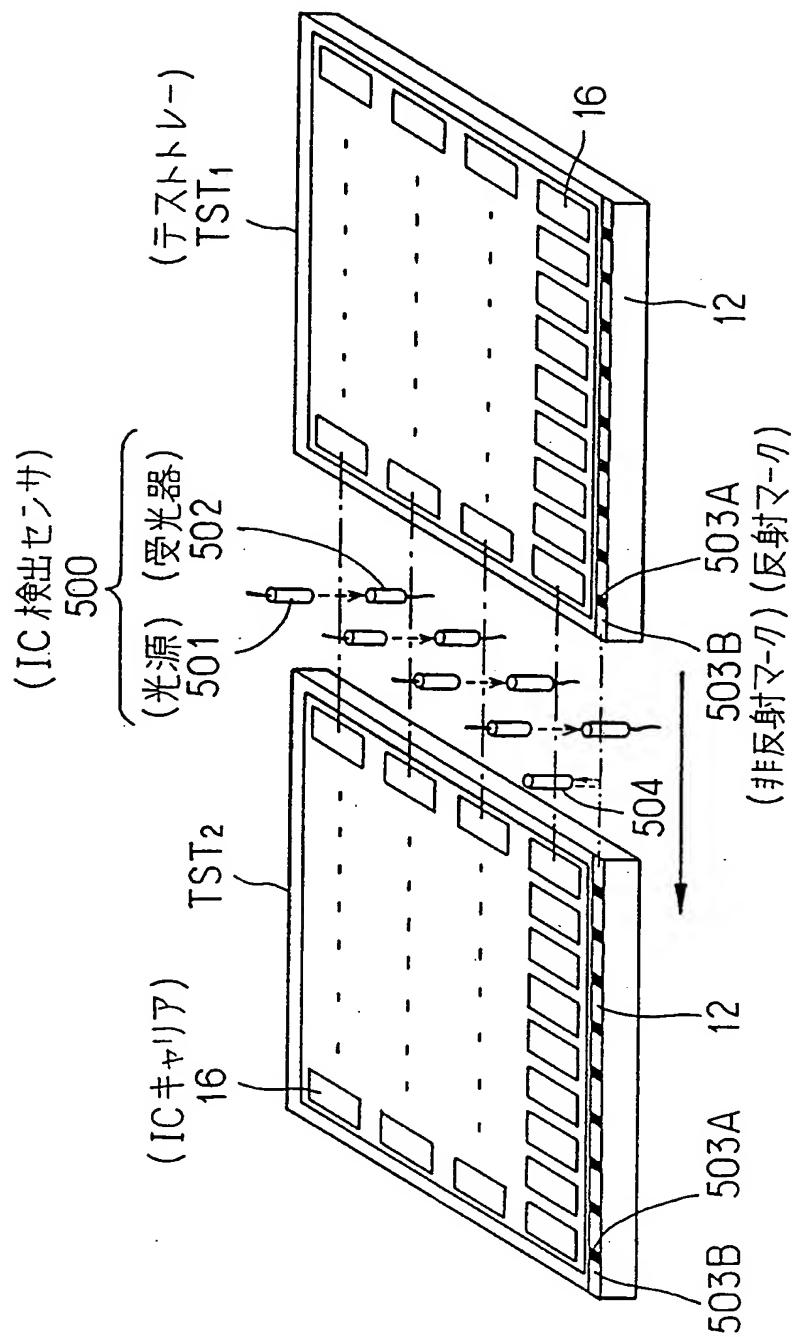


図 11

10/11

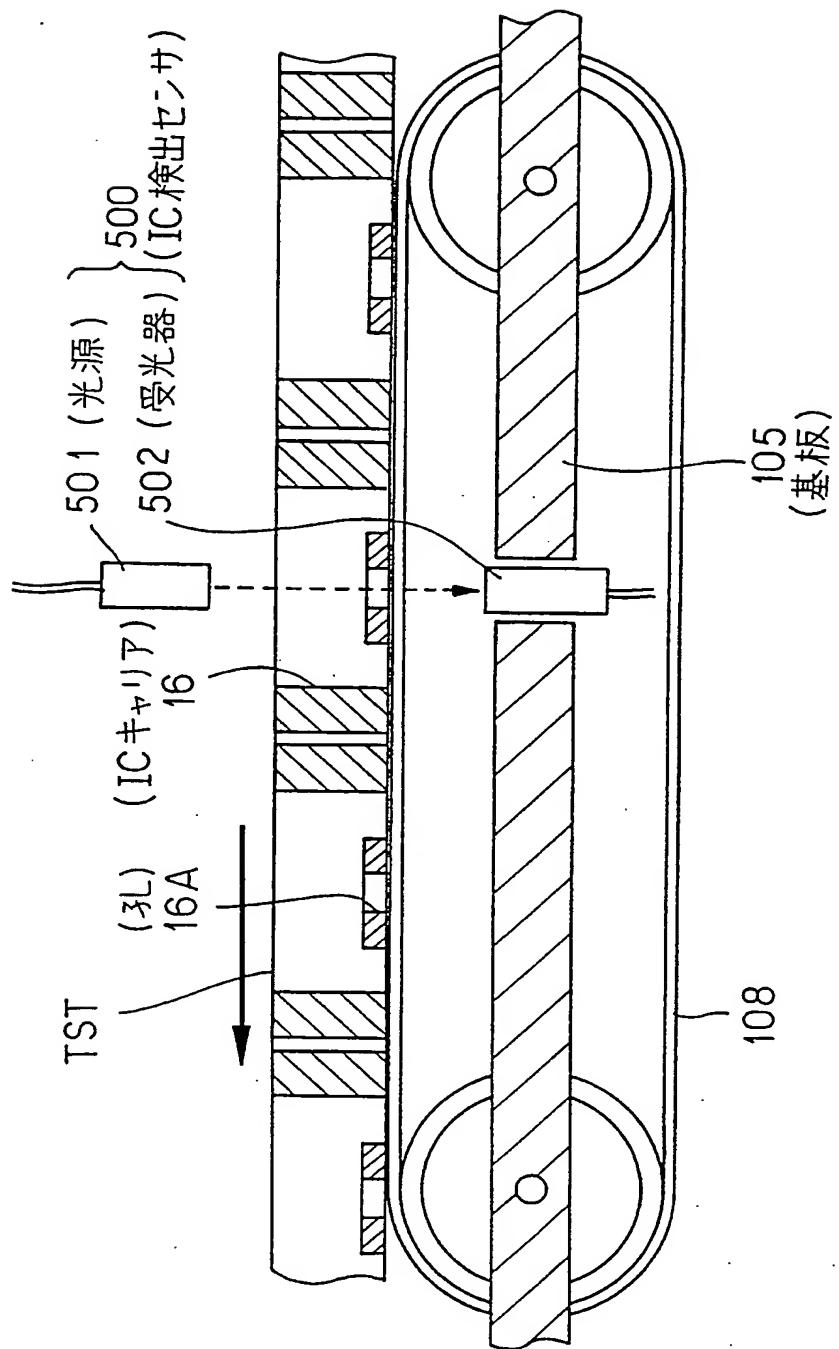
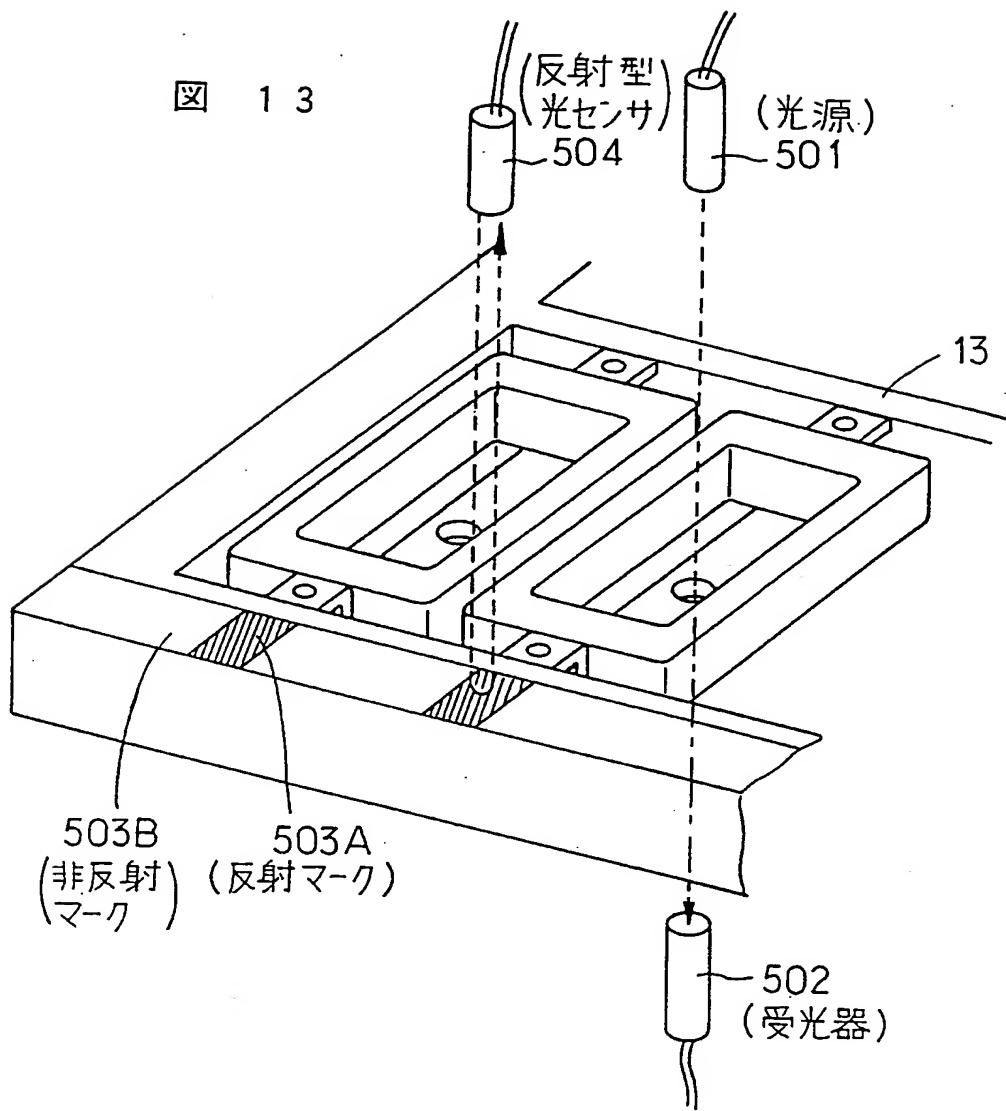


図 12

11/11

図 13



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02130

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl<sup>6</sup> G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl<sup>6</sup> G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1926 - 1996 Jitsuyo Shinan Toroku  
 Kokai Jitsuyo Shinan Koho 1971 - 1996 Koho 1996 - 1996  
 Toroku Jitsuyo Shinan Koho 1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 04-343077, A (Mitsubishi Electric Corp.), November 30, 1992 (30. 11. 92), Fig. 1 (Family: none)	3
A	JP, 03-138956, A (NEC Corp.), June 13, 1991 (13. 06. 91), Fig. 1 (Family: none)	2
A	JP, 03-039665, A (NEC Corp.), February 20, 1991 (20. 02. 91), Fig. 1 (Family: none)	1 - 4
A	JP, 61-290373, A (Hitachi Hokkai Semiconductor, Ltd.), December 20, 1986 (20. 12. 86), Fig. 1 (Family: none)	1 - 4
A	JP, 06-095125, B (Mitsubishi Electric Corp.), November 24, 1994 (24. 11. 94), Fig. 1 (Family: none)	1

 Further documents are listed in the continuation of Box C. See patent family annex.

- Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search October 14, 1996 (14. 10. 96)	Date of mailing of the international search report October 22, 1996 (22. 10. 96)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/02130

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 62-021533, U (Kokusai Electric Co., Ltd.), February 9, 1987 (09. 02. 87), Fig. 4 (Family: none)	5 - 10
A	JP, 62-092645, U (Mitsubishi Electric Corp.), June 13, 1987 (13. 06. 87), Fig. 3 (Family: none)	11
A	JP, 06-058986, A (K.K. Fujitsu Miyagi Electronics), March 4, 1994 (04. 03. 94), Fig. 1 (Family: none)	5 - 13

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. C16 G01R 31/26

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. C16 G01R 31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-1996年  
日本国登録実用新案公報 1994-1996年  
日本国実用新案登録公報 1996-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 04-343077, A, (三菱電機株式会社) 30, 11月, 1992 (30, 11, 1992), 図1, (ファミリーなし)	3
A	JP, 03-138956, A, (日本電気株式会社) 13, 6月, 1991 (13, 06, 1991), 図1, (ファミリーなし)	2
A	JP, 03-039665, A, (日本電気株式会社) 20, 2月, 1991 (20, 02, 1991), 図1, (ファミリーなし)	1-4
A	JP, 61-290373, A, (日立北海セミコンダクタ株式会社) 20, 12月, 1986 (20, 12, 1986), 図1, (ファミリーなし)	1-4
A	JP, 06-095125, B, (三菱電機株式会社)	

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」先行文献ではあるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日 14. 10. 96	国際調査報告の発送日 22.10.96
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 権 口 信 宏 電話番号 03-3581-1101 内線 3225 2G 9016

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	24, 11月, 1994 (24, 11, 1994), 図1, (ファミリーなし)	1
A	JP, 62-021533, U, (国際電気株式会社) 9, 2月, 1987 (09, 02, 1987), 図4, (ファミリーなし)	5-10
A	JP, 62-092645, U, (三菱電機株式会社) 13, 6月, 1987 (13, 06, 1987), 図3, (ファミリーなし)	11
A	JP, 06-058986, A, (株式会社富士通宮城エレクトロニクス) 4, 3月, 1994 (04, 03, 1994), 図1, (ファミリーなし)	5-13